

**Экзамен по курсу «Архитектура современных малых и средних ЭВМ».**  
**Вариант 3.**

ФИО: \_\_\_\_\_

1. Принцип работы триггера (SR latch, D-latch, D flip-flop, D flip-flop with preset/reset).
2. Ассоциативность памяти, алиасинг адресов.
3. Организация модуля DRAM. Структурные характеристики. Основные тайминги.
4. Интерфейс PCI. Предназначение, область применения. Функциональные возможности. Технические характеристики.
5. Этапы начальной загрузки вычислительной системы.
6. Заказные сети на примере сетей Cray Gemini и IBM Blue Gene.